

**Family list**

3 family members for:

**JP10206893**

Derived from 3 applications.

- 1 **ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE**  
Publication info: **JP10206893 A** - 1998-08-07
- 2 **ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC EQUIPMENT**  
Publication info: **JP11133463 A** - 1999-05-21
- 3 **Active matrix liquid crystal with capacitor between light blocking film and pixel connecting electrode**  
Publication info: **US6088070 A** - 2000-07-11

---

Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

15336874

Basic Patent (No,Kind,Date): JP 10206893 A2 19980807 <No. of Patents: 003

>

**ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE** (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): OTANI HISASHI; OGATA YASUSHI

IPC: \*G02F-001/136; G02F-001/1343; H01L-029/786; H01L-021/336

CA Abstract No: \*129(15)195859Z; 129(15)195859Z

Derwent WPI Acc No: \*G 98-484784; G 98-484784

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 10206893	A2	19980807	JP 9719825	A	19970117	(BASIC)
JP 11133463	A2	19990521	JP 97316567	A	19971031	
US 6088070	A	20000711	US 8412	A	19980116	

Priority Data (No,Kind,Date):

JP 9719825 A 19970117

JP 97316567 A 19971031

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10206893  
PUBLICATION DATE : 07-08-98

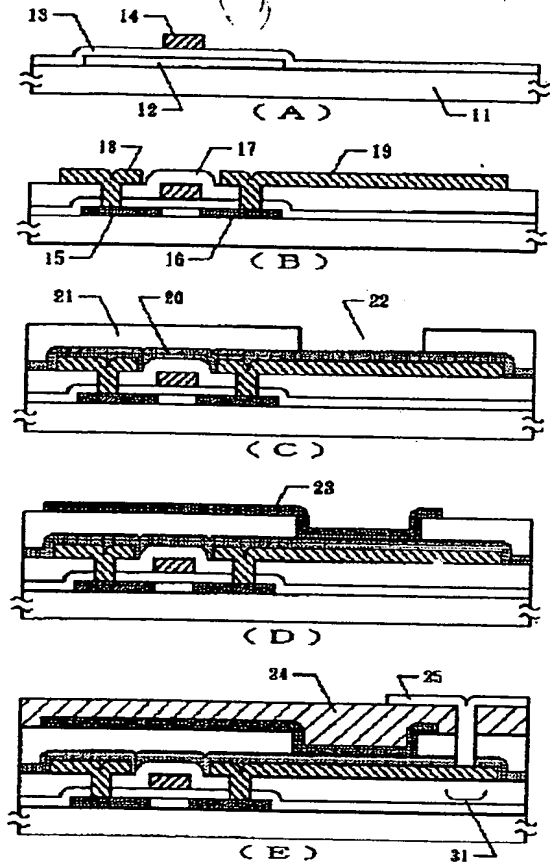
APPLICATION DATE : 17-01-97  
APPLICATION NUMBER : 09019825

APPLICANT : SEMICONDUCTOR ENERGY LAB CO  
LTD;

INVENTOR : OGATA YASUSHI;

INT.CL. : G02F 1/136 G02F 1/1343 H01L  
29/786 H01L 21/336

TITLE : ACTIVE MATRIX TYPE LIQUID  
CRYSTAL DISPLAY DEVICE



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide new structure regarding the formation of the auxiliary capacity of a pixel in an active matrix type liquid crystal display device which uses top gate type or bottom gate type thin film transistors.

**SOLUTION:** A source line 18 and a 1st insulating thin film which covers metal wiring 19 in the same layer with it and has a high dielectric constant like silicon nitride are formed, and a 2nd flattened insulating film 21 is formed thereupon. Then the 2nd insulating film 21 is etched to form a hole part 2, thereby selectively exposing the 1st insulating film 20. A conductive film 23 which functions as a light shield film is formed thereupon, and capacity including the insulating film 20 as a dielectric is formed between the film 23 and metal wiring 19 as auxiliary capacity of a pixel. Further, the auxiliary capacity is provided selectively at a part where the influence of orientation disorder (disclination) of liquid crystal molecules is large to improve the substantial aperture rate.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-206893

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>8</sup>

G 0 2 F 1/136  
1/1343  
H 0 1 L 29/786  
21/336

識別記号

5 0 0

F I

G 0 2 F 1/136 5 0 0  
1/1343  
H 0 1 L 29/78 6 1 2 Z

審査請求 未請求 請求項の数 7 F D (全 8 頁)

(21) 出願番号 特願平9-19825  
(22) 出願日 平成9年(1997) 1月17日

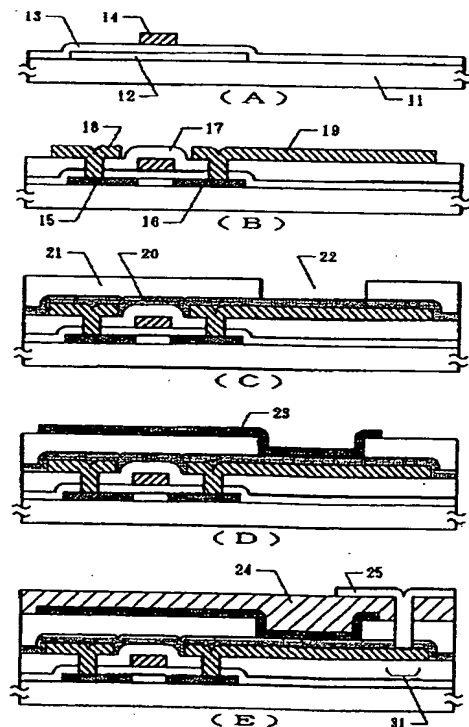
(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 大谷 久  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 尾形 靖  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

## (57) 【要約】

【課題】 トップゲイト型もしくはボトムゲイト型の薄膜トランジスタトランジスタ (TFT) を用いたアクティブマトリクス型液晶表示装置において、画素の補助容量の形成方法に関する新規な構造を提供する。

【解決手段】 ソースライン18と、それと同一層内の金属配線19を覆って、窒化珪素の如き誘電率の高い第1の絶縁性薄膜20を形成し、さらにその上に平坦性に優れた第2の絶縁膜21を形成する。そして、第2の絶縁膜21をエッチングして、開孔部22を設け、第1の絶縁膜20を選択的に露出させる。この上に遮光膜として機能する導電性被膜23を形成し、これと金属配線19の間に絶縁膜20を誘電体とする容量を形成し、これを画素の補助容量とする。また、補助容量は液晶分子の配向乱れ (ディスクリネーション) の影響の大きな部分に選択的に設けることにより、実質的な開口率を向上できる。



## 【特許請求の範囲】

【請求項1】 スイッチング素子として薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置において、ゲイトライン上に形成されたソースラインと、遮光膜として機能し、一定の電位に保持され、前記ソースラインと画素電極の中間の層にある導電性被膜と、ソースラインと前記導電性被膜との間に形成された層間絶縁物と、を有し、前記層間絶縁物は、下層の絶縁物層上に、異種の材料よりなる上層の絶縁物層があり、前記層間絶縁物には、その上層の絶縁物層を選択的にエッチングすることによって得られた開孔部が設けられ、前記開孔部において、前記導電性被膜と、下層の金属配線を両電極とし、前記下層の絶縁物層を誘電体とする補助容量が形成されており、前記下層の金属配線は、ソースラインと同層で、かつ、ソースラインと物理的に絶縁し、薄膜トランジスタのドレインと画素電極との間にコンタクトを有することを特徴とする。

【請求項2】 薄膜トランジスタと、ゲイトライン上に形成されたソースラインと、前記薄膜トランジスタのドレインに接続し、前記ソースラインと同層の金属配線と、前記金属配線に接続する画素電極と、遮光膜として機能し、一定の電位に保持され、前記ソースラインと画素電極の中間の層にある導電性被膜と、前記導電性被膜と前記ソースラインとの間にあり、少なくとも2層の絶縁物層よりなる層間絶縁物と、を有し、前記導電性被膜は、前記金属配線と重なる部分において、前記層間絶縁物の下層の絶縁物層と接する部分を有することを特徴とするアクティブマトリクス型表示装置。

【請求項3】 請求項1もしくは請求項2において、層間絶縁物の下層は窒化珪素を主成分とすることを特徴とするアクティブマトリクス型表示装置。

【請求項4】 請求項1もしくは請求項2において、層間絶縁物の上層は有機樹脂を主成分とすることを特徴とするアクティブマトリクス型表示装置。

【請求項5】 請求項1において、前記補助容量は、誘電体として、窒化珪素のみからなることを特徴とするアクティブマトリクス型表示装置。

【請求項6】 請求項3において、前記窒化珪素を主成分とする層の厚さは1000 Å以下であることを特徴とするアクティブマトリクス型表示装置。

【請求項7】 請求項1もしくは請求項2において、前記金属配線は、画素において、ディスクリネーションの発生しやすい部分に設けられることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本明細書で開示する発明は、薄膜トランジスタを用い、かつ、ゲイトライン上にソースラインを有するアクティブマトリクス型の表示装置の画素領域の回路構成・配置に関する。特に、補助容量の構成に関する。

## 【0002】

【従来の技術】最近、安価なガラス基板上に薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個の各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に出入りする電荷を薄膜トランジスタのスイッチング機能により制御するものである。

【0003】各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、薄膜トランジスタによりこのコンデンサへの電荷の出入りを制御することで液晶の電気光学特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことが出来る。

【0004】また、このような構成でなるコンデンサは電流のリークにより次第にその保持電圧が減少するため、液晶の電気光学特性が変化して画像表示のコントラストが悪化するという問題を持つ。そこで、液晶で構成されるコンデンサと直列に補助容量と呼ばれる別のコンデンサを設置し、リーク等で損失した電荷を液晶で構成されるコンデンサに供給する構成が一般的となっている。

【0005】従来のアクティブマトリクス型液晶表示装置の回路図を図1に示す。アクティブマトリクス型表示回路は、大きく3つの部分に分けられる。すなわち、ゲイトライン(ゲイト配線、スキャン配線、走査配線)4を駆動するためのゲイトドライバー回路2、ソースライン(データ配線、ソース配線、信号配線)5を駆動するためのデータドライバー回路1、画素の設けられたアクティブマトリクス回路3である。このうち、データドライバー回路1とゲイトドライバー回路2は周辺回路と総称される。

【0006】アクティブマトリクス回路3は、多数のゲイトライン4とソースライン5が互いに交差するように設けられ、各々の交点には画素電極7が設けられる。そして、画素電極に出入りする電荷を制御するためのスイッチング素子(薄膜トランジスタ)6が設けられる。薄膜トランジスタとしては、トップゲイト型(活性層上にゲイト電極を有するもの)、ボトムゲイト型(ゲイト電極上に活性層を有するもの)が、必要とする回路構造、作製工程、特性等に応じて使い分けられる。また、上述のようにリーク電流により画素の電圧の変動を抑制する目的で、補助容量8が画素のコンデンサーと並列に設け

られる。(図1)

【0007】一方、薄膜トランジスタは光の照射により導電性が変動するので、それを防止するために遮光性を有する被膜(ブラックマトリクス)を薄膜トランジスタに重ねる必要がある。また、画素間の色、明るさが混合することや、画素の境界部分での電界の乱れによる表示不良を防止するためにも、画素間にも上記の遮光性の被膜を形成する。

【0008】このため、この遮光性被膜はマトリクス状の形状を呈し、ブラックマトリクス(BM)と呼ばれる。BMは、当初は製造工程上の有利さからアクティブマトリクス回路の設けられた基板に対向する基板(対向基板)に設けられたが、画素の面積を大きくする(開口率を上げる)必要から、アクティブマトリクス回路の設けられた基板に設けることが提案されている。

【0009】

【発明が解決しようとする課題】補助容量の構成に関しては、様々なものが提案されているが、画素の開口部分(光の透過部分)を維持しつつ、大きな容量を得ることは難しかった。本発明はこのような現状に鑑みてなされたものである。

【0010】

【課題を解決するための手段】本明細書で開示する発明は、遮光膜をアクティブマトリクス側の基板に形成する際に、この遮光膜を導電性のものとして、一定の電位に保持し、これを補助容量の電極として用いることにより、上記の課題を解決することを特徴とする。そもそも遮光膜は、光を透過させないので、これを補助容量の電極に用いることによる開口率の低下はない。

【0011】本発明のアクティブマトリクス型表示装置は、

- ①薄膜トランジスタ、
- ②ゲイトラインと、その上に形成されたソースライン、
- ③遮光膜として機能し、一定の電位に保持された導電性被膜、
- ④薄膜トランジスタのドレインに接続し、ソースラインと同じ層の金属配線
- ⑤導電性被膜とソースラインの間にあり、少なくとも2層の絶縁物層よりなる層間絶縁物とを有する。

【0012】本発明においては、上記の条件を満たせば薄膜トランジスタはトップゲイト、ボトムゲイトいずれも使用できる。なぜならば、本発明の主たる改良点が、ソースラインより上の構造に関するものであるので、ソースラインより下の構造(すなわち、ゲイトラインと活性層の位置関係)に関しては、何ら問題とならないからである。また、層間絶縁物の層構造は3層以上であってもよい。

【0013】本発明の第1は、上記の構造において、層間絶縁物の上層の絶縁物層がエッチングされた部分に、

上記の金属配線と導電性被膜(遮光膜)を両電極とし、少なくとも層間絶縁物の下層の絶縁物層を誘電体とする補助容量が形成されていることを特徴とする。誘電体は2層以上の絶縁物層よりなっているてもよい。

【0014】本発明の第2は、上記の構造において、前記層間絶縁物において、導電性被膜(遮光膜)は、金属配線と重なる部分において、層間絶縁物の下層の絶縁物層と接する部分を有することを特徴とする。上記の発明の第1、第2において、層間絶縁物の下層を半導体プロセスで安定して生産でき、比誘電率も高い窒化珪素を主成分とすることは有効である。その場合には、補助容量の誘電体としては、窒化珪素層のみとすることも、他の被膜(例えば、酸化珪素)との多層構造とすることも可能である。

【0015】この場合には、誘電体が薄くなり、かつ、誘電率の大きい窒化珪素を用いることにより、より大きな容量が得られる。本発明においては、窒化珪素層の厚さは1000Å以下、好ましくは500Å以下とするとよい。また、このような構造においては、窒化珪素膜がソースライン上からアクティブマトリクス回路を覆うことになり、窒化珪素の耐湿性、耐イオン性等のバリア機能が有効に利用できる。

【0016】また、上記の発明において、層間絶縁物の上層を平坦化の容易な有機樹脂(例えば、ポリイミド、ポリアミド、ポリイミドアミド、エポキシ、アクリル等)を用いて形成することも有効であるが、有機樹脂は耐湿性や耐イオン性等のバリア機能が弱いので、下層は窒化珪素、酸化アルミニウム、窒化アルミニウム等のバリア機能の高い材料とすることが望まれる。

【0017】さらに、上記の発明において、金属配線を、画素において、ディスクリネーション(凹凸や横電界の影響による液晶分子の配向乱れ)の発生しやすい部分に設けることは以下の理由で効果がある。ディスクリネーションのうち、ゴミ等に起因するものは、製造工程の清浄化により対処できるが、素子構造の凹凸(例えば、画素電極のコンタクト付近の凹凸)や横電界によるものに対しては抜本的な処置は不可能である。ディスクリネーションの発生する部分は画素として用いるのに不適切であり、従来、そのような部分は遮光膜で覆い、画素として機能しないような処置が施されてきたが、本発明ではそのような部分に補助容量を設けることができ、面積を有効に利用できる。

【0018】

【実施例】

〔実施例1〕本実施例の作製工程断面図を図3に、また、作製工程上面図を図2に示す。図2と図3の番号は対応する。以下の例における膜厚その他の数値は一例であり、最適なものであるとは限らない。さらに、本発明を実施する者が必要に応じて変更しても何ら差し支えない。

【0019】まず、ガラス基板11上に非晶質珪素膜を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜する。ガラス基板上には、下地膜として酸化珪素膜を3000Åの厚さにスパッタ法またはプラズマCVD法で成膜されることが好ましいが、石英ガラス基板上であれば、特に下地膜を設けなくともよい。次に、加熱またはレーザー光の照射等の公知のアニール技術によって、非晶質珪素膜を結晶性珪素膜とし、これをエッチングすることにより、薄膜トランジスタの活性層12を得る。

【0020】次にゲイト絶縁膜として酸化珪素膜13をプラズマCVD法または減圧熱CVD法またはスパッタ法により、1000Åの厚さに成膜する。そして、磷を有する多結晶珪素膜を減圧CVD法で5000Åの厚さに成膜し、これをエッチングすることにより、ゲイトライン(ゲイト電極)14を得る。(図3(A))

【0021】次に、N型を付与する不純物であるリンのイオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>3</sup>のドーズ量で注入することにより、ソース15とドレイン16とを形成する。いずれもN型となる。不純物イオンの注入後、加熱処理またはレーザー光の照射、または強光の照射を行うことにより、不純物イオンの注入が行われた領域の活性化を行う。

【0022】次に、公知の絶縁物層形成技術により、厚さ5000Åの酸化珪素の層間絶縁物17を形成し、層間絶縁物17とゲイト絶縁膜13をエッチングして、ソース15、ドレイン16に達するコンタクトホールを開孔する。そして、公知の金属配線形成技術によりソースライン18、金属配線(補助容量電極)19を形成する。(図3(B))

ここまでの工程で得られた回路を上から見た様子を図2(A)に示す。番号は図3のものに対応する。(図5(A))

【0023】次に窒化珪素膜20をシランとアンモニア、またはシランとN<sub>2</sub>O、またはシランとアンモニアとN<sub>2</sub>Oを用いたプラズマCVD法により形成する。この窒化珪素膜7は250~1000Å、ここでは500Åの厚さに成膜する。この窒化珪素膜の成膜方法は、ジクロールシランとアンモニアを用いる方法でもよい。また減圧熱CVD法や光CVD法を用いるのでも、さらにその他の方法によるものでもよい。

【0024】続いて、スピンコーティング法によって、ポリイミド層21を少なくとも8000Å以上、好ましくは1.5μmの厚さに成膜する。ポリイミド層の表面は平坦に形成される。かくして、窒化珪素層20とポリイミド層21よりなる層間絶縁物を形成する。そして、ポリイミド層21をエッチングして、補助容量用の開孔部22を形成する。(図3(C))

【0025】なお、ポリイミド層21のエッチングの際に、用いるエッチャントによっては、窒化珪素をエッチ

ングする場合もあるので、窒化珪素の保護のために、厚さ50~500Å、例えば、200Åの酸化珪素膜を窒化珪素層とポリイミド層の間に設けてもよい。さらに、厚さ1000Åのチタン膜をスパッタリング法で成膜する。もちろん、クロム膜やアルミニウム膜等の金属膜を用いてもよいし、他の成膜方法を用いてもよい。そして、これをエッチングし、ブラックマトリクス23を形成する。ブラックマトリクス23は先に形成した補助容量用の孔を覆うように形成する。(図3(D))

【0026】ここまでの工程で得られる補助容量用の孔22とブラックマトリクス23を上から見た様子を図2(B)に示す。番号は図1のものに対応する。補助容量用の孔22とブラックマトリクス23の重なった部分に補助容量が形成される。(図2(B))

【0027】さらに、層間絶縁物として、厚さ5000Åのポリイミド膜24を成膜し、ポリイミド膜21および24と窒化珪素層20をエッチングして、金属配線19に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、画素電極25を形成する。(図3(E))

【0028】かくして、アクティブマトリクス回路が完成する。本実施例のように、ポリイミド膜により絶縁層を形成すると平坦化が容易であり、効果が大い。本実施例では、補助容量はブラックマトリクス23とドレイン16の重なる部分22に得られ、誘電体は窒化珪素層17である。

【0029】〔実施例2〕本実施例の作製工程の上面図を図4に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。本実施例は、回路配置が実施例1と異っており、ディスプレイの発生しやすい部分に補助容量を設けることにより、画素を有効に形成する(実質的な開口率を高める)方法を示す。

【0030】まず、ディスプレイの発生について図5を用いて説明する。図5は実施例1で作製した画素と同じ回路配置のものである。図5に示すように、画素の右上に画素電極のコンタクト31が設けられ、図の右上から左下の方向(左下から右上とは異なることに注意)にラビングがおこなわれ、かつ、ソースライン反転駆動(隣接するソースライン間に印加される信号を互いに逆極性のものとする駆動方法、ドット反転駆動も含む)をおこなう表示装置においては、画素の右上の部分30にディスプレイの発生しやすい。この部分は表示に用いるには不適當であるので、BMで覆うことが望まれる。(図5)

【0031】そこで、図4(A)に示すように、金属配線19の配置を実施例1のように、画素の上に設けるのではなく、画素の右側に設ける。(図4(A))さらに、金属配線19上に開孔部22を形成し、その上

にBM23を設ける。画素電極のコンタクト31も図4(B)に示すように、右下に設けると効果的である。(図4(B))

【0032】かくして、ディスクリネーションの生じやすい部分には補助容量が形成される。本実施例は、実施例1の回路において、画素の上側に設けられた補助容量を左に移動させたもので、回路設計上の開口部の面積は同じである。しかしながら、ディスクリネーションと補助容量(もしくはBM)を重ねることにより、実質的にはより大きな開口面積を得ることができる。

【0033】〔実施例3〕本実施例の作製工程の上面図を図6に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。本実施例は、補助容量の配置は実施例2と実質的に同一であるが、薄膜トランジスタの活性層の配置を変更することにより、より面積の有効な利用をはかったものである。

【0034】本実施例ではラビングの方向は左下から右上であり、この場合は画素の左下の部分にディスクリネーションが生じやすい。実施例2においては、このようなディスクリネーションの生じやすい部分に補助容量を設けることを示したが、本実施例においては、次行の薄膜トランジスタの活性層の一部をもこの部分に設ける。すなわち、図6(A)に示すように、金属配線19の配置を画素の左側に配置すると同時に、ゲイトラインの枝部を除去して直線状にし、活性層がこれを横断するように配置する。(図6(A))

【0035】さらに、金属配線19上に開孔部22を形成し、その上にBM23を設ける。(図6(B))  
かくして、ディスクリネーションの生じやすい部分には補助容量と薄膜トランジスタの一部が形成される。本実施例は、実施例2の回路において、ゲイトラインの枝部が不要になった分、面積の効率的な利用が可能となった。

【0036】〔実施例4〕本実施例の作製工程の上面図を図8に、また、本実施例の薄膜トランジスタの主要部および回路図を図7に示す。本実施例も作製工程自体は実施例1とほとんど同じであり、番号は実施例1のものに対応する。また、図7と図8の番号も相互に対応する。本実施例は、補助容量の配置は実施例2と実質的に同一であるが、薄膜トランジスタの活性層およびゲイト電極の配置を変更することにより、薄膜トランジスタの特性を高めより面積の有効な利用をはかったものである。

【0037】本実施例も、実施例3と同じくラビングが左下から右上になされるので、画素の左下の部分にディスクリネーションが生じやすい。実施例2においては、このような部分に補助容量を設けることを示し、また、実施例3においては、補助容量とシングルゲイト(単ゲイト)の薄膜トランジスタの活性層の一部を設けること

を示したが、本実施例においては、トリプルゲイト(3重ゲイト)の薄膜トランジスタの活性層とゲイト電極をもこの部分に設ける。

【0038】まず、図7(A)を用いて、本実施例のトリプルゲイト薄膜トランジスタの概要について説明する。この薄膜トランジスタはゲイトライン14に枝部29を設け、活性層12がゲイトラインとその枝部と図に示すように重なる構造とする。交差した部分26~28はそれぞれトランジスタとなる(図7(A))

【0039】すなわち、図7(B)に示すように、ソースライン18と金属配線19の間に3つの薄膜トランジスタが直列に接続した構造となる。(図7(B))このような多重トランジスタはアクティブマトリクススイッチングトランジスタとして用いると特に有効であることが知られている(特公平5-44195)。

【0040】このような構造の薄膜トランジスタは次行の画素の左下の部分を占有するが、この部分はディスクリネーションの発生しやすい領域であるので、実施例2、3と同様、このことが開口率の低下をもたらすことはない。すなわち、図8(A)に示すように、ゲイトライン14に枝部29を設け、活性層12がゲイトライン14およびその枝部29と3回交差するように配置する。さらに、金属配線19を図に示すように画素の左側に配置する。(図8(A))

【0041】さらに、金属配線19上に開孔部22を形成し、その上にBM23を設ける。(図8(B))

かくして、ディスクリネーションの生じやすい部分には補助容量と薄膜トランジスタの一部が形成される。本実施例は、実施例2の回路と同様にゲイトラインの枝部が必要である点で実施例3のものより不利であるが、3重ゲイト薄膜トランジスタとすることにより、補助容量ははるかに小さくてもよい。したがって、総合的には、本実施例の方が、実施例3のものより特性が優れている。

【0042】

【発明の効果】以上に示したごとく、ブラックマトリクスとして用いられる導電性被膜を電極とし、これとソースラインと同層の金属配線との間で補助容量を形成する方法が提案された。実施例ではトップゲイト型の薄膜トランジスタを用いる例を示したが、本発明がソースラインよりも上の構造に関する改良であることから、ボトムゲイト型の薄膜トランジスタにおいても同様に実施できることは明らかである。このように本発明は産業上、有益である。

【図面の簡単な説明】

【図1】 一般的なアクティブマトリクス回路の回路図を示す。

【図2】 実施例1のアクティブマトリクス回路の作製工程上面図を示す。

【図3】 実施例1のアクティブマトリクス回路の作製工程断面図を示す。



【図4】 実施例2のアクティブマトリクス回路の作製工程上面図を示す。

【図5】 ディスクリネーションを説明する図。

【図6】 実施例3のアクティブマトリクス回路の作製工程上面図を示す。

【図7】 実施例4の薄膜トランジスタの概要と回路図を示す。

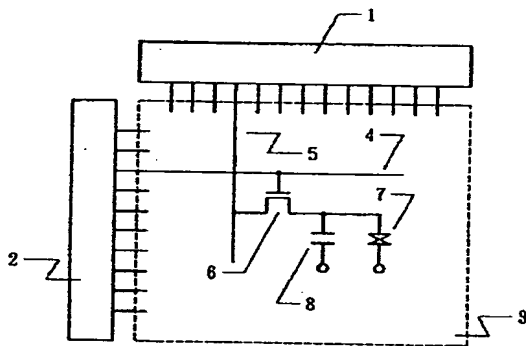
【図8】 実施例4のアクティブマトリクス回路の作製工程上面図を示す。

【符号の説明】

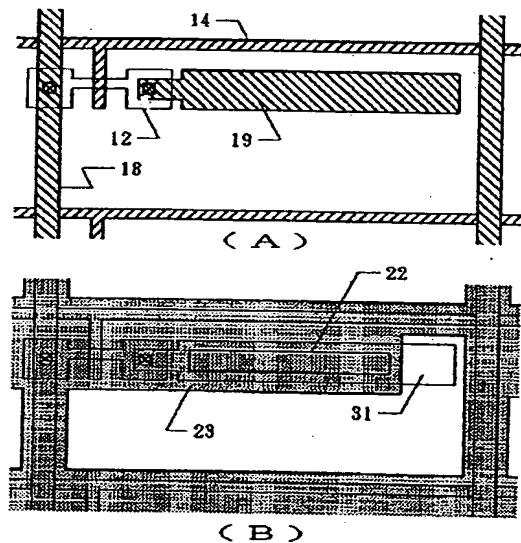
- |   |                |
|---|----------------|
| 1 | データドライバー回路     |
| 2 | ゲートドライバー回路     |
| 3 | アクティブマトリクス回路領域 |
| 4 | ゲートライン         |
| 5 | ソースライン         |
| 6 | 薄膜トランジスタ (TFT) |
| 7 | 画素電極           |
| 8 | 補助容量           |

- |          |                    |
|----------|--------------------|
| 11       | ガラス基板              |
| 12       | 活性層                |
| 13       | 酸化珪素膜 (ゲイト絶縁膜)     |
| 14       | ゲイトライン (ゲイト電極)     |
| 15       | ソース                |
| 16       | ドレイン               |
| 17       | 酸化珪素 (層間絶縁物)       |
| 18       | ソースライン             |
| 19       | 金属配線 (補助容量電極)      |
| 20       | 窒化珪素層              |
| 21、24    | ポリイミド層             |
| 22       | 開孔部 (補助容量)         |
| 23       | 遮光膜 (ブラックマトリクス)    |
| 25       | 画素電極               |
| 26、27、28 | 薄膜トランジスタ           |
| 29       | ゲイトラインの枝部          |
| 30       | ディスクリネーションの生じやすい部分 |

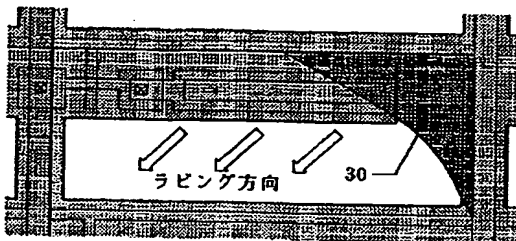
【図1】



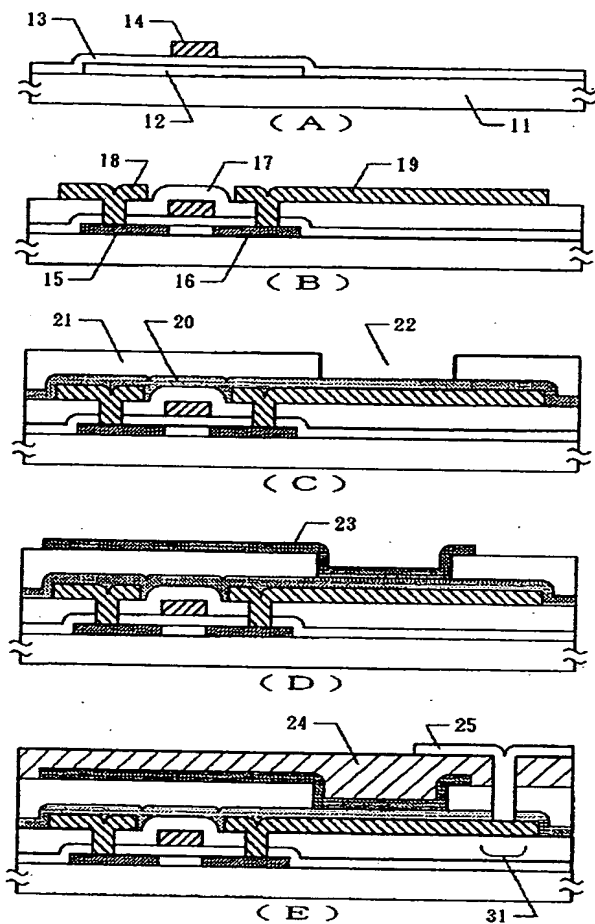
【図2】



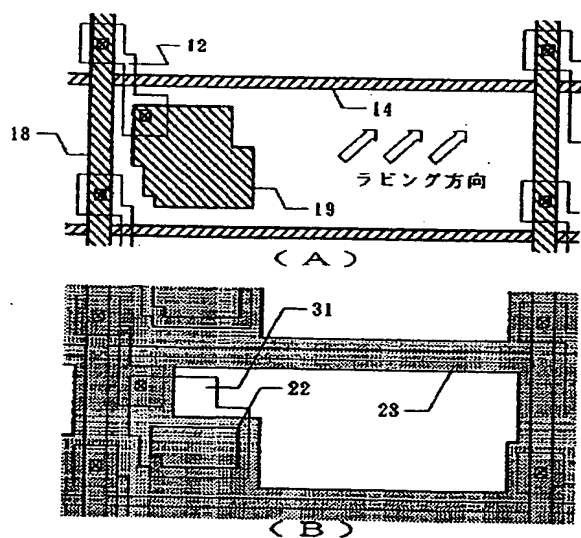
【図5】



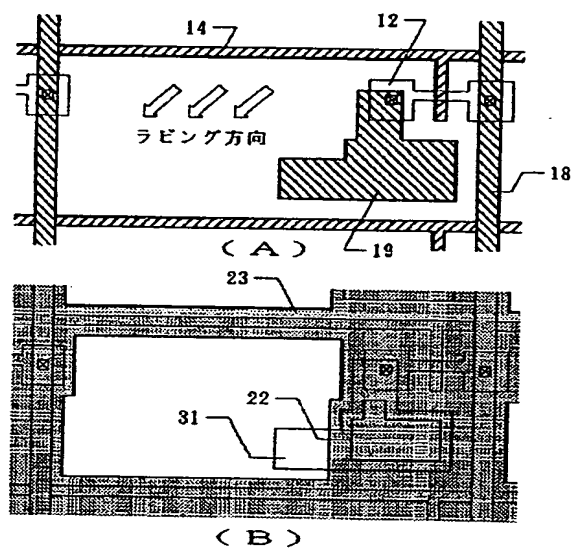
【図3】



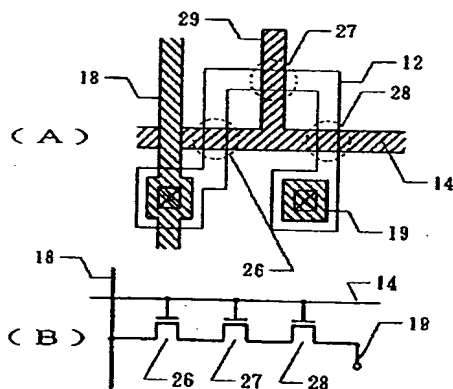
【図6】



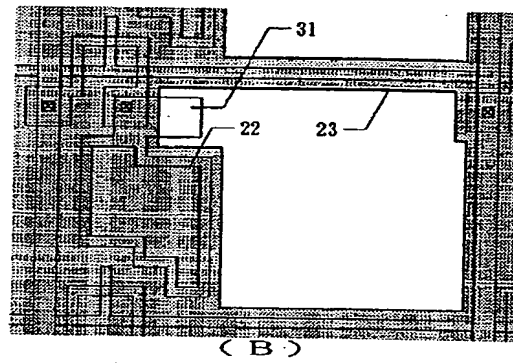
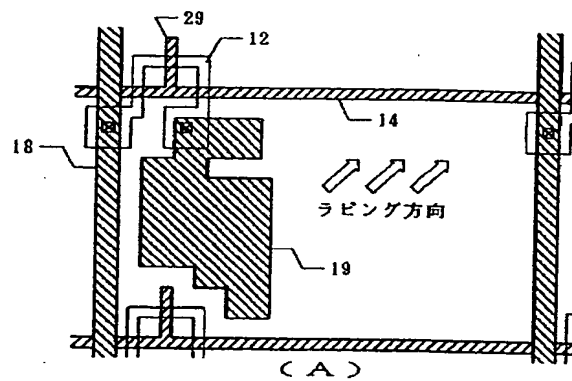
【図4】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**